



JP-2002-203895 (Cited Document 1)

METHOD FOR FORMING TRENCH ELEMENT ISOLATION FILM

[0023]

5 [Embodyment]

A preferred embodiment of the present invention will be described with reference to the accompanying drawings. In the drawings, even if a layer is drawn on another layer or a substrate, this layer is meant either to be disposed directly on the other layer or substrate or to be disposed on an intermediate layer
10 formed on the other layer or substrate.

[0024]

Referring to Fig. 5, a pad oxide film 101 having a thickness of 1000 nm to 2000 nm is formed on a silicon substrate 100. A silicon nitride film having a thickness of 5000 nm is stacked on the pad oxide film. The silicon nitride film and
15 pad oxide film are patterned to form a trench etching pattern 103 exposing the substrate in a trench area. Patterning is performed by forming an unrepresented photoresist pattern by photolithography and etching the silicon nitride film by using the photoresist pattern as a mask. Alternatively, patterning may be performed by stacking a thin oxide film on the silicon nitride film inner wall of the trench and using
20 this film as a hard mask.

[0025]

By using the trench etching pattern 103 as an etching mask, the substrate 100 is etched to a depth of 20000 to 50000 nm to form a trench 121. A thin oxide film 105 is formed on an inner wall of the trench 121 by thermal oxidation
25 to recover crystal defects formed during the etching process. A silicon nitride film liner 107 is formed be CVD on the substrate having the trench 121 formed with the

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

thermal oxide film 105 on its inner wall. These processes are same as those of a normal trench element isolation method.

[0026]

Referring to Fig. 6, a thin HTO oxide film 109 is formed on the silicon 5 nitride film liner 107 by CVD, the HTO oxide film being used as a buffer oxide film. The HTO oxide film 109 is stacked before a plasma process to be executed relative to the substrate surface before forming a buried oxide film, in order to eliminate the underlayer dependency, and is one kind of buffer oxide films. The trench is then buried with a first buried oxide film 119. The first buried oxide film 119 is formed 10 preferably by CVD, and more preferably by high density plasma enhanced (HDP) CVD. The first buried oxide film 119 filled in the trench 121 is preferably an O₃ tetra ethyl ortho silicate undoped silicate glass (ozone TEOS USG) oxide film, a boro phospho silicate glass (BPSG) oxide film, an SOG film and the like, and more preferably the SOG film. At this step, the first buried oxide film may not be filled 15 completely in the trench.

[0027]

If an aspect ratio of the trench is large, an SOG film such as polysilazane may be used as the buried oxide film.

[0028]

20 Referring to Fig. 7, the first buried oxide film 119 is recessed by whole surface wet etching to expose the upper portion of the liner in the trench. The wet etching is used because a whole surface isotropic etching damages the trench side wall. This step of recessing the first buried oxide film is preferably executed until the surface of the first buried oxide film 119, i.e., a left oxide film 129, reaches a 25 position deeper than a predetermined effective channel depth DC of elements such as transistors to be formed in regions near the trench, i.e., until the surface of the first

THIS PAGE BLANK (USPTO)

buried oxide film 119 (left oxide film 129) reaches a position deeper than the effective channel depth DC. The silicon nitride film liner 107 is exposed to the depth corresponding to the amount of recessing the first buried oxide film filled in the trench.

5 [0029]

It is preferable that at least one of the first buried oxide film and a second buried oxide film (detailed in the following) is an SOG film. This is because an upper portion of the SOG film may be recessed by processing the SOG film before curing with solution and thereafter curing is performed, without using ordinary 10 wet etching.

[0030]

Referring to Fig. 8, the exposed silicon nitride film liner 107 is isotropically wet-etched preferably using phosphoric acid solution. The liner above the left oxide film 129 is removed completely. Instead of isotropic wet etching, dry 15 isotropic etching may be used. However, because of the deposition state of the liner 107 and etching damages, plasma etching or reactive ion etching (RIE) are not preferable. Isotropic wet etching, particularly isotropic wet etching using phosphoric acid solution, is preferable.

[0031]

20 Referring to Fig. 9, the second buried oxide film 149 is deposited on the substrate with the upper liner in the trench being removed, to thereby fill the upper space of the recessed trench. It is preferable that the trench is filled with the second buried oxide film 149 sufficiently. The method and materials of the first buried oxide film can also be used for the second buried oxide film. For example, 25 the method is preferably CVD and more preferably HDP CVD. The second buried oxide film 149 is preferably an ozone TEOS USG film, a BPSG film, an SOG film or

THIS PAGE BLANK (USPTO)

the like, and more preferably the SOG film. CMP for polishing the second buried oxide film and/or whole surface anisotropic etching for the trench etching pattern is performed to planarize the second buried oxide film.

[0032]

5 The liner may not be removed at the step shown in Fig. 8, but at the step shown in Fig. 9 the recessed space is filled with the second buried oxide film by HDP CVD and at the same time, the upper liner is removed. Since HDP CVD performs alternately deposition and etching, it is possible to remove the liner and deposit the second buried oxide film at the same time.

10 [0033]

Fig. 10 shows an example of the trench element isolation film formed by the present invention. The silicon nitride film of the trench etching pattern 103 shown in Fig. 9 is removed by the wet etching. The final trench of the trench element isolation film has the thermal oxide film 105, and in the lower region the 15 silicon nitride film liner 107 and thin HTO oxide film 109 and left oxide film 129 of the first buried oxide film 109 in this order from the bottom, and in the upper region an isolation film 139 left after the second buried oxide film is planarized. The HTO oxide film 109, left oxide film 129 of the first buried oxide film and the isolation film 139 of the second buried oxide film are all oxide films. Therefore, with the lower 20 silicon nitride film liner being formed on the inner wall of the thermal oxide film 105, the remaining space may be filled with an oxide film.

Figs. 5 to 10 are cross sectional views illustrating main steps of a trench element isolation film forming method according to an embodiment.

25 10, 100... substrate, 11, 101... pad oxide film, 13, 103... trench etching pattern, 15, 105... thermal oxide film, 17, 27, 19... photoresist film, 21, 121... trench,

THIS PAGE BLANK (USPTO)

29... left photoresist film, 39... trench element isolation film, 109... HTO oxide film,
119... first buried oxide film, 129... left oxide film, 139... isolation film, 149... second
buried film.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203895

(43)Date of publication of application : 19.07.2002

(51)Int.CI. H01L 21/76

(21)Application number : 2001-359530 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 26.11.2001 (72)Inventor : AHN DONG HUL

(30)Priority

Priority number : 2000 200074837 Priority date : 08.12.2000 Priority country : KR

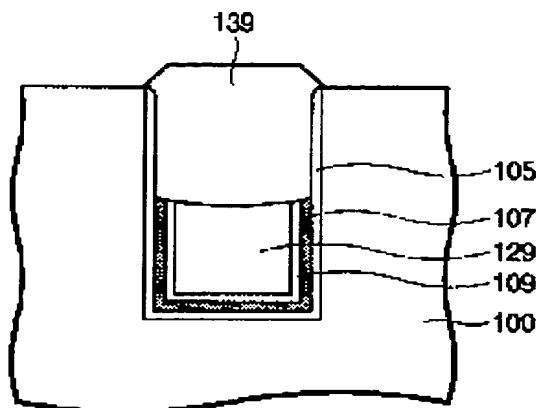
(54) METHOD FOR FORMING TRENCH ELEMENT ISOLATION FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming a trench element isolation film.

SOLUTION: The trench element isolation film according to the present invention comprises the steps of forming the trench by an etching after forming a trench etching pattern on a substrate, forming a silicon nitride film liner on an inner wall surface of the trench, exposing an upper portion of the trench liner by recessing a first filled oxidation film by a wet process, removing a top portion of the liner by an isotropic etching and filling a recessed space of the trench by a second filling oxidation film.

The step of forming the trench etching pattern on the substrate substantially further includes depositing the silicon nitride film on the substrate on which a pad oxidation film is formed, patterning, and forming a thermal oxidation film on the inner wall surface by an annealing so as to repair etching damages between the step of forming the trench and the liner.



LEGAL STATUS

[Date of request for examination] 26.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-203895
(P2002-203895A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51)Int.Cl.
H 01 L 21/76

識別記号

F I
H 01 L 21/76テ-マコト(参考)
L 5 F 0 3 2

審査請求 未請求 請求項の数11 O L (全 6 頁)

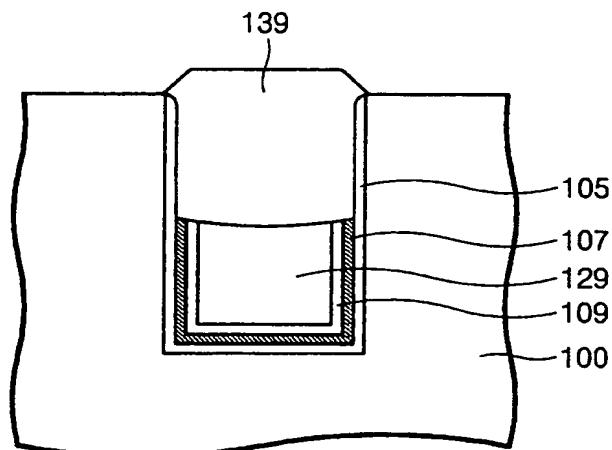
(21)出願番号 特願2001-359530(P2001-359530)
 (22)出願日 平成13年11月26日 (2001.11.26)
 (31)優先権主張番号 2000-074837
 (32)優先日 平成12年12月8日 (2000.12.8)
 (33)優先権主張国 韓国 (K.R.)

(71)出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞416
 (72)発明者 安 東 浩
 大韓民国京畿道水原市八達区網浦洞517-9 サミルヴィラ5棟203号
 (74)代理人 100072349
 弁理士 八田 幹雄 (外4名)
 Fターム(参考) 5F032 AA35 AA44 AA46 AA49 AA70
 CA17 DA02 DA03 DA25 DA26
 DA33 DA53 DA78

(54)【発明の名称】 トレンチ素子分離膜の形成方法

(57)【要約】

【課題】 トレンチ素子分離膜の形成方法を提供する。
 【解決手段】 本発明によるトレンチ素子分離膜の形成方法は、基板にトレンチエッチングパターンを形成し、エッティングによってトレンチを形成する段階と、トレンチの内壁にシリコン窒化膜ライナを形成する段階と、第1埋立酸化膜でトレンチを充填する段階と、第1埋立酸化膜を湿式工程によってリセスして、トレンチのライナの上部を露出する段階と、ライナの上部を等方性エッティングによって除去する段階と、第2埋立酸化膜でトレンチのリセスされた空間を充填する段階とを含む。本発明で、基板にトレンチエッチングパターンを形成する段階は、通常、パッド酸化膜が形成された基板にシリコン窒化膜を積層し、パターニングして実施され、トレンチを形成する段階とライナを形成する段階の間に、トレンチの内壁にエッティング損傷を修復するためのアニーリングによって熱酸化膜が形成される段階をさらに含むことができる。



【特許請求の範囲】

【請求項1】 基板にトレンチエッティングパターンを形成し、エッティングによってトレンチを形成する段階と、トレンチの内壁にシリコン窒化膜ライナを形成する段階と、

第1埋立酸化膜で前記トレンチを充填する段階と、前記第1埋立酸化膜を湿式工程によってリセスして、前記トレンチのライナの上部を露出する段階と、前記ライナの上部を等方性エッティングによって除去する段階と、

第2埋立酸化膜で前記トレンチのリセスされた空間を充填する段階とを含むことを特徴とする半導体装置のトレンチ素子分離膜の形成方法。

【請求項2】 前記基板にトレンチエッティングパターンを形成する段階は、パッド酸化膜が形成された基板にシリコン窒化膜を積層し、パターニングすることによって実行されることを特徴とする請求項1に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項3】 前記トレンチを形成する段階と前記ライナを形成する段階の間に、前記トレンチの内壁に熱酸化膜を形成する段階を含むことを特徴とする請求項1または2に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項4】 前記ライナを形成する段階と前記第1埋立酸化膜でトレンチを充填する段階の間に、前記ライナの上にバッファ酸化膜を積層する段階を含むことを特徴とする請求項1～3のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項5】 前記第1埋立酸化膜を湿式工程によってリセスする段階は、前記埋立酸化膜の表面が前記トレンチで所定のチャンネル深さ以下に低くなるまで実施されることを特徴とする請求項1～4のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項6】 前記ライナの上部を等方性エッティングによって除去する段階は、リン酸溶液で湿式によって実施されることを特徴とする請求項1～5のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項7】 前記トレンチはPチャンネルトランジスタ領域のトレンチに限定されることを特徴とする請求項1～6のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項8】 前記第2埋立酸化膜に対するCMPを実施する段階と、

前記トレンチエッティングパターンを除去する段階とをさらに含むことを特徴とする請求項1～7のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項9】 前記第1埋立酸化膜及び前記第2埋立酸化膜はCVD方法によって形成されることを特徴とする請求項1～8のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項10】 前記第1埋立酸化膜と前記第2埋立酸化膜のうち、少なくとも一方はSOG膜で形成されることを特徴とする請求項1～9のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

【請求項11】 前記ライナの上部を除去する段階は、HDP CVDによって前記第2埋立酸化膜でリセスされた空間を充填する段階と共に実施されることを特徴とする請求項1～10のいずれか1項に記載の半導体装置のトレンチ素子分離膜の形成方法。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置のトレンチ素子分離膜の形成方法にかかり、より詳細には、上部が除去された窒化膜ライナを有するトレンチ素子分離膜の形成方法に関するものである。

【0002】

【従来の技術】 素子の高集積化に従って、LOCOS (local oxidation of silicon)型素子分離におけるバーズ

ピーク(bird's beak)による制限を解決するために開発された、トレンチ型素子分離方法は、基板に形成されたトレンチに酸化膜を充填する方法を使用する。従って、バーズピークの問題はないが、基板と分離膜の材質の差による熱ストレスと分離膜周辺の基板の後続の酸化による体積膨脹等の問題がある。このような問題を解決する1つの方法として、シリコン窒化膜ライナをトレンチの内壁に形成し、酸化膜で充填する方法が開発された。シリコン窒化膜ライナは酸素の拡散を防止するバリアとして作用して、これによりトレンチ周辺の基板が後続の熱工程によって酸化されることを防止し、ストレスを減少させ得る。

【0003】 シリコン窒化膜ライナを使用する場合、トレンチを形成する際のエッティング防止膜として使用するアクティブ領域のシリコン窒化膜を除去する段階で、シリコン窒化膜ライナの上部がエッティングされて、デント(dent)現象が発生し、エッティングにより除去されたシリコン窒化膜領域をポリシリコン層で充填してゲートを形成する場合には、いわゆる「ハンプ(hump)」が発生する問題がある。

【0004】 また、シリコン窒化膜は表面で電子を捕捉する特性が強い物質であるので、MOS (metal oxide silicon)トランジスタのチャンネルの両側にあるシリコン窒化膜ライナで、特に、熱酸化膜とシリコン窒化膜界面でチャンネルに沿ってキャリアが移動する際に、電子を捕捉して、キャリアの実質的な流れを変更する。チャンネルの深さが浅く、幅が広い場合には、相対的にこのような問題は大きな影響を与えない。しかしながら、素子の高集積化に従ってトレンチ素子分離をする半導体装置の場合、チャンネルの幅は一般的に狭く、チャンネルの両側のシリコン窒化膜と隣接した部分が多い。従つて、ライナとして使用されたシリコン窒化膜の電子の捕

捉はキャリアの移動量（流れ）に影響を与える。特に、Pチャンネルトランジスタでソース／ドレイン電流がチャンネルを通じて流れる時、主なキャリアはホールになり、チャンネルの両側の窒化膜で電子を捕捉する場合、ホールの実質的な流れが増加し、ホットキャリア効果(hot carrier effect)が発生する。

【0005】チャンネルの両側のシリコン窒化膜ライナの電子の捕捉を防止するために、シリコン窒化膜ライナをチャンネルの実質的な深さだけ除去する方法が米国特許第5,940,717号に開示されている。図1～図4を参照して、この方法を説明する。

【0006】図1を参照すると、パッド酸化膜11が形成された基板10にシリコン窒化膜を積層及びパターニングすることによって、トレンチエッティングパターン13を形成する。そして、トレンチ21の内壁の熱酸化を実施して、熱酸化膜15を形成し、さらに全面にシリコン窒化膜を薄く積層して、トレンチ内壁ライナ17を形成する。続いて、フォトレジスト膜19をスピンドルコティング方法によって積層して、トレンチ21を充填する。

【0007】図2を参照すると、トレンチ21を充填したフォトレジスト膜をエッチバックして、リセスされた(recessed)残余フォトレジスト膜29を形成する。主に、酸素プラズマ雰囲気でアッシング(ashing)を実施する。リセス工程は、残余フォトレジスト膜29がトレンチ21でチャンネルの有効深さDC以下的位置に残存する時まで実施する。

【0008】図3を参照すると、基板10に露出したシリコン窒化膜ライナ17をエッティングによって除去する。通常、乾式プラズマエッティングによって露出されたライナが除去され、フォトレジストが除去された深さまでシリコン窒化膜ライナも除去される。

【0009】図4を参照すると、トレンチに残留したフォトレジストを除去し、全面にCVD(chemical vapor deposition)酸化膜を積層して、トレンチを充填するトレンチ素子分離膜39を形成する。そして、CMP(chemical mechanical polishing)等の平坦化エッティングによって、アクティブ領域のシリコン窒化膜からなるトレンチエッティングパターン13表面を露出させる。アクティブ領域のシリコン窒化膜は後続の湿式エッティングによって除去され、トレンチ素子分離膜39が完全に形成される。

【0010】しかしながら、このような方法を使用する場合、フォトレジストをリセスする過程とトレンチの上部のエッティングでシリコン窒化膜ライナを除去する過程によって、周辺の膜のエッティングを損傷する。アクティブ領域のシリコン窒化膜が部分的にエッティングされて、基板全体の高さが均等でないと、この膜の上面を基準にして実施されるCVD酸化膜のCMP工程等で、素子分離膜のレベルが一定ではなくなる。また、トレンチ側壁

にエッティングの損傷が発生すると、以降形成される素子で電流漏洩が発生するおそれがある。

【0011】

【発明が解決しようとする課題】本発明は、前述した問題点を解決するためのものであり、トレンチ素子分離型半導体装置でシリコン窒化膜ライナの電子の捕捉による素子作動の変化を防止し、ホットキャリア効果を防止できるトレンチ素子分離膜の形成方法を提供することを目的とする。

10 【0012】本発明は、シリコン窒化膜ライナを部分的に除去する間の素子分離膜のレベルを一定にし、トレンチ周辺素子の電流漏洩を防止できるトレンチ素子分離膜の形成方法を提供することを他の目的とする。

【0013】本発明は、シリコン窒化膜ライナによるトレンチ周辺の酸化を防止し、デントの問題点がないトレンチ素子分離の形成方法を提供することを他の目的とする。

【0014】

【課題を解決するための手段】前述の目的を達成するための本発明は、基板にトレンチエッティングパターンを形成し、エッティングによってトレンチを形成する段階と、トレンチの内壁にシリコン窒化膜ライナを形成する段階と、第1埋立酸化膜でトレンチを充填する段階と、第1埋立酸化膜を湿式工程によってリセスして、トレンチのライナの上部を露出する段階と、ライナの上部を等方性エッティングによって除去する段階と、第2埋立酸化膜でトレンチのリセスされた空間を充填する段階とを含む半導体装置のトレンチ素子分離膜の形成方法に関するものである。

30 【0015】本発明で基板にトレンチエッティングパターンを形成する段階は、好ましくは、パッド酸化膜が形成された基板にシリコン窒化膜を積層し、パターニングしてなされる。また、トレンチを形成する段階とライナを形成する段階の間には、トレンチの内壁にエッティングの損傷を修復するためのアーニングによって熱酸化膜が形成される段階をさらに含むことが好ましい。

【0016】そして、ライナを形成する段階と第1埋立酸化膜でトレンチを充填する段階の間には、埋立酸化膜の下地膜依存性を減少させ、ギャップフィルを向上させるために、プラズマ表面処理を実施することが好ましい。しかしながら、この過程でライナは損傷しやすいので、プラズマ表面処理からライナを保護するためにライナの上にLPCVD(low pressure chemical vapor deposition)によって、HTO(high temperature oxide)膜のようなバッファ酸化膜を積層する段階を、ライナを形成する段階と第1埋立酸化膜でトレンチを充填する段階の間に、含むことが好ましい。

【0017】本発明において、第1埋立酸化膜は、周辺のエッティング損傷を防止するために湿式工程によってリセスされるが、上記リセスする工程は、第1埋立酸化膜

の表面がトレンチで以降形成されるトランジスタ素子に対して定まった所定のチャンネル深さ以下に低くなるまで実施することが、シリコン窒化膜ライナによる電子の捕捉を防止するのに十分な効果を有するので、望ましい。

【0018】本発明において、ライナの上部を等方性エッチングによって除去する段階は、リン酸溶液で湿式によって実施されることが好ましい。

【0019】本発明はシリコン窒化膜ライナによる電子の捕捉がホットキャリア効果を発生させ得るPチャンネル領域のトレンチで、特に効果がある。従って、本発明によるトレンチはPチャンネルトランジスタ領域のトレンチに限って実施されることが好ましい。

【0020】さらに、本発明の方法は、第2埋立酸化膜に対するCMPを実施する段階とトレンチエッチャーパターンに対する除去段階をさらに含むことが好ましい。

【0021】本発明において、第1埋立酸化膜及び前記第2埋立酸化膜は、好ましくはCVD方法によって形成され、また、第1埋立酸化膜と第2埋立酸化膜のうち、少なくとも一方は、SOG膜で形成されることが好ましい。

【0022】本発明において、ライナの上部を除去する段階は、好ましくは、HDP-CVDによって前記第2埋立酸化膜でリセスされた空間を充填する段階と共に実施される。

【0023】

【発明の実施の形態】以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。なお、図において、層が他の層または基板上に位置するよう示される場合には、その層は他の層または基板上に直接位置してもあるいはこれらの間に中間層が存在するものである場合双方を意味するものとする。

【0024】図5を参照すると、パッド酸化膜101が100～200Åの厚さで薄く形成されたシリコン基板100に、500Åの厚みのシリコン窒化膜を積層し、パターニングして、トレンチ領域で基板が露出するトレンチエッチャーパターン103を形成する。パターニングは、フォトリソグラフィーによって、図示しないフォトマスクでシリコン窒化膜に対するエッチャーパターンを形成し、これをエッチャーマスクでシリコン窒化膜に対するエッチャーパターンを形成する。さらに、シリコン窒化膜の上(トレンチの内壁)に薄い酸化膜を積層して、シリコン窒化膜エッチャーパターンに対するハードマスクで利用してもよい。

【0025】トレンチエッチャーパターン103が形成されると、これをエッチャーマスクとして、基板100を2000～5000Åの深さにエッチャーパターンとして、トレンチ121を形成する。そして、トレンチ121の内壁に、エッチャーパターンで発生した結晶損傷を修復するために、熱酸化によって熱酸化膜105を薄く形成する。トレンチ121の内壁、すなわち、熱酸化膜105が形成

された基板に、CVDによってシリコン窒化膜ライナ107を形成する。前述したのは通常のトレンチ素子分離方法と同一の過程である。

【0026】図6を参照すると、シリコン窒化膜ライナ107の上にLPCVD方法によって、HTO酸化膜109が、バッファ酸化膜として、薄く形成される。このHTO酸化膜109は、埋立酸化膜の形成の前に基板表面に下地膜依存性を無くすために実施するプラズマ処理の前に積層するものであり、バッファ酸化膜の一種である。そして、トレンチが第1埋立酸化膜119で充填される。この際、第1埋立酸化膜119は、CVD方法、特にHDP-CVD(high density plasma enhanced chemical vapor deposition)方法によって形成されることが好ましく、また、オゾンTEOS-USG(O_3 tetra ethyl ortho silicate undoped silicate glass)、BPSG(boro phospho silicate glass)酸化膜、SOG膜等が、特に好ましくはSOG膜が、トレンチ121を充填する第1埋立酸化膜119に好ましく使用できる。この段階では、第1埋立酸化膜はトレンチ全体を完全に充填しないこともできる。

【0027】トレンチのアスペクト比が増加するに従って、ポリシリザン(polysilazane)等のSOG膜を埋立酸化膜として形成してもよい。

【0028】図7を参照すると、第1埋立酸化膜119を湿式工程、例えば、全面湿式エッチャーパターンによってリセスして、トレンチのライナの上部を露出させる。この時、全面異方性エッチャーパターンを使用すると、トレンチ側壁がエッチャーパターンを受けるので、湿式エッチャーパターンを湿式工程によってリセスする段階は、第1埋立酸化膜119の表面、即ち、残余酸化膜129がトレンチ周辺に形成されるトランジスタ等の素子の所定の有効チャンネル深さDC以下に、即ち、第1埋立酸化膜119の表面(残余酸化膜129)が有効チャンネル深さDCより低い位置にくるまで、実施することが望ましい。その結果、トレンチを充填する埋立酸化膜がリセスされただけシリコン窒化膜ライナ107が露出される。

【0029】第1埋立酸化膜及び第2埋立酸化膜(下記で詳述される)のうち少なくとも一方はSOG膜で形成されることが好ましい。これは、SOG膜で埋立酸化膜を使用する場合には、通常の湿式エッチャーパターンの外にも、硬化前のSOG膜を、SOG膜をリセスするのに適当な湿式溶液で処理することによって、上部を除去することができるためである。硬化は上部が除去されたSOG膜に対して実施してもよい。

【0030】図8を参照すると、露出されたシリコン窒化膜ライナ107(ライナの上部)を、好ましくはリン酸溶液を含む湿式によって、等方性エッチャーパターンによって除去する、即ち、残余酸化膜129が残っているより上のライナが全部除去される。湿式等方性エッチャーパターンの代

わりに乾式等方性エッティングを実施してもよいが、プラズマエッティングまたはR I E (reactive ion etching)はライナ107の積層形態とエッティング損傷を考慮すると適切ではなく、ゆえに湿式等方性エッティング、特にリン酸溶液を用いて湿式等方性エッティングが望ましい。

【0031】図9を参照すると、トレンチの上部でライナが除去された状態の基板上に第2埋立酸化膜149を積層して、トレンチのリセスされた空間を第2埋立酸化膜149で充填する。この際、トレンチは第2埋立酸化膜149で十分に充填されることが好ましい。第2埋立酸化膜は、上記第1埋立酸化膜に使用された方法と材質が同様にして使用できる。例えば、方法としては、CVD方法、特に好ましくはHDP CVD方法が好ましく使用でき、また、オゾンTEOS USG、BPSG、SOG膜等、特に好ましくはSOG膜が、第2埋立酸化膜149に好ましく使用できる。そして、トレンチエッティングパターンの上面を基準にして、好ましくは全面異方性エッティングによるトレンチエッティングパターンの除去工程および／または第2埋立酸化膜に対するCMP工程を実施して、第2埋立酸化膜を平坦化することが好ましい。

【0032】または、図8の段階でライナを別途に除去しないで、図9の段階でHDP CVDによって第2埋立酸化膜でリセスされた空間を積層（充填）し、それと同時にライナの上部が除去されるようにすることもできる。HDP CVDでは、積層とエッティングが交互に実施されるので、ライナが除去される一方で、第2埋立酸化膜の積層も可能である。

【0033】図10は本発明によって形成されたトレンチ素子分離膜の一例を示すものであり、図9の状態のトレンチエッティングパターン103で使用されたシリコン窒化膜を湿式エッティングによって除去した状態を示す。従って、完成されたトレンチ素子分離膜におけるトレンチの基板には熱酸化膜105が形成され、その内側には下部にシリコン窒化膜ライナ107と薄いHTO酸化膜109、第1埋立酸化膜の残余酸化膜129が存在し、上部には第2埋立酸化膜が平坦化されて残った分離膜139が存在する。しかしながら、HTO酸化膜109、第1埋立酸化膜の残余酸化膜129及び第2埋立酸化膜からの分離膜139が全部酸化膜であるので、トレンチの熱酸化膜105の内壁の下部にはシリコン窒化膜ライナ107が形成された状態で、残りのトレンチ空間を酸化膜が充填するということもできる。

【0034】

【発明の効果】本発明によると、高集積素子半導体装置で、トレンチのシリコン窒化膜ライナの上部を意図的に除去することによって、トレンチのシリコン窒化膜ライ

ナによる電子の捕捉とこれによるホットキャリア効果を防止でき、デントまたはハンプ現象の危険性を抑制できる。また、積層を2段階で実施するまたはSOG膜の被覆と他の酸化膜の積層との組合せによって、トレンチのギャップフィル特性を向上させ得る。

【0035】また、シリコン窒化膜ライナのトレンチ上部領域が除去されるに従って、シリコン窒化膜ライナの元の目的である後続工程によるストレスの制御が減少でき、ストレスによる問題点なしに、下部領域ではライナに長所を維持しながら、上部では電子トラップの問題を防止できる。

【図面の簡単な説明】

【図1】は、従来のトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図2】は、従来のトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図3】は、従来のトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図4】は、従来のトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図5】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図6】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図7】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図8】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図9】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【図10】は、本発明の一実施形態によるトレンチ素子分離膜の形成方法の重要な段階を示す工程断面図である。

【符号の説明】

10, 100…基板、

11, 101…パッド酸化膜、

13, 103…トレンチエッティングパターン、

15, 105…熱酸化膜、

17, 27, 107…ライナ、

19…フォトレジスト膜、

21, 121…トレンチ、

29…残余フォトレジスト膜、

39…トレンチ素子分離膜、

109…HTO酸化膜、

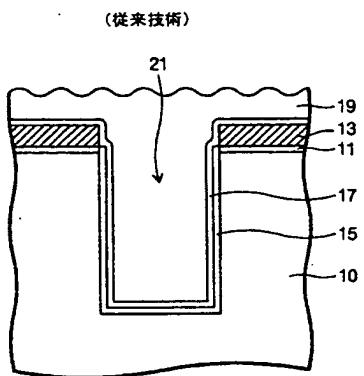
119…第1埋立酸化膜、

129…残余酸化膜、

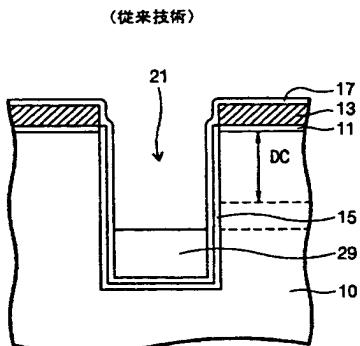
139…分離膜、

149…第2埋立酸化膜。

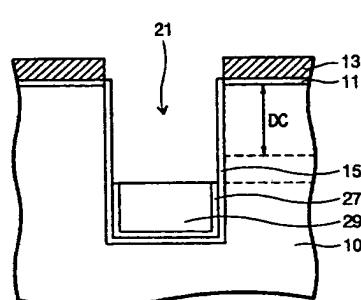
【図1】



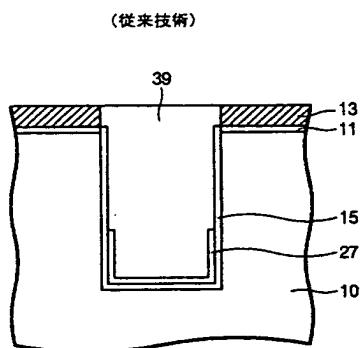
【図2】



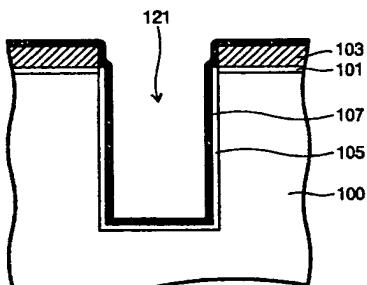
【図3】



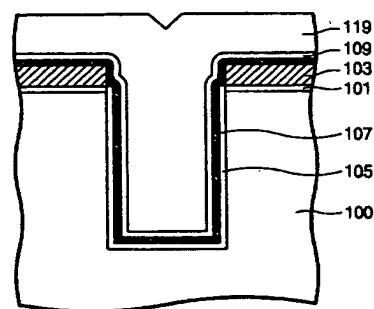
【図4】



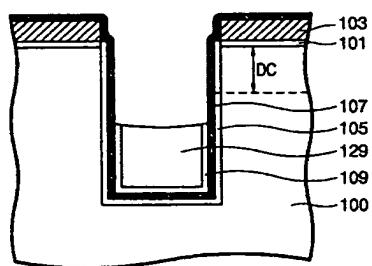
【図5】



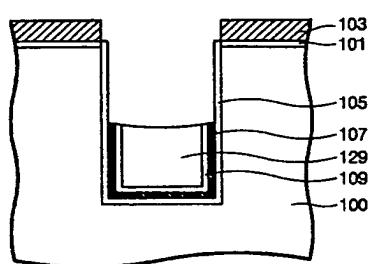
【図6】



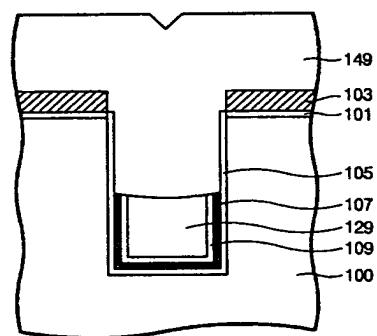
【図7】



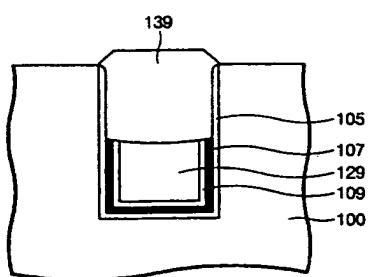
【図8】



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)